

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-334120  
(43)Date of publication of application : 17.12.1993

(51)Int.Cl. G06F 11/28  
G06F 11/22  
G06F 11/34

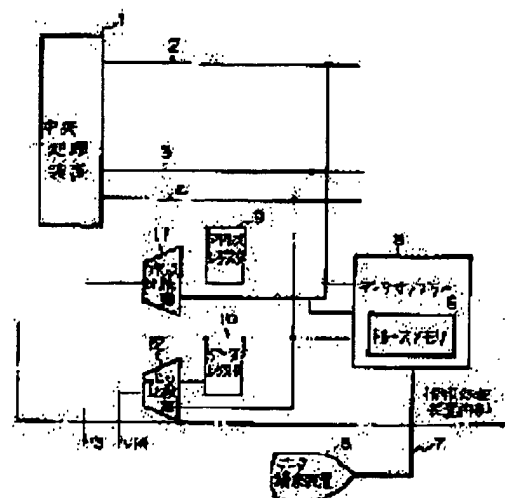
(21)Application number : 04-141356 (71)Applicant : MITSUBISHI ELECTRIC CORP  
(22)Date of filing : 02.06.1992 (72)Inventor : HARADA TSUTOMU

### (54) INFORMATION PROCESSOR

#### (57)Abstract:

**PURPOSE:** To eliminate the need for changing the constitution of a circuit in order to trace the operation of the circuit, to protect data immediately before the generation of defective operation which may be occasionally generated and has low reproducibility and to enable increasing the number of signals to be traced at the time of operation analysis.

**CONSTITUTION:** When abnormality relating to the operation of a central processing unit(CPU) 1 is generated, the state sampling operation of tracing memory 6 included in a data sampler 5 for always sampling the status of an address bus 2, a control bus 3 and a data bus 4 connected to the CPU 1 is stopped to protect respective states at the time of generating the abnormality. When the address bus 2 and the data bus 4 connected to the CPU 1 are turned to a specific state set up in an address register 9 or a data register 10, the state is detected by an address comparator 11 and a data comparator 12 and outputted to the outside as an address trigger output 13 and a data trigger output 14 to start the operation analysis of the external.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-334120

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/28	3 1 0 A	9290-5B		
11/22	3 4 0 D	8323-5B		
11/34	C	9290-5B		

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-141356

(22)出願日 平成4年(1992)6月2日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 原田 努

神奈川県鎌倉市上町屋325番地 三菱電機

株式会社コンピュータ製作所内

(74)代理人 弁理士 金山 敏彦 (外2名)

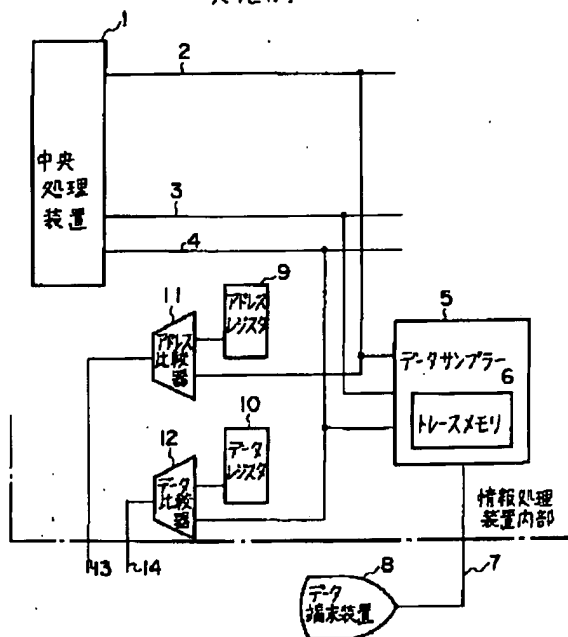
(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 回路動作のトレースのためにその構成を変える必要性をなくし、時々しか発生しないような再現性の低い動作不良についてもその発生直前のデータを保全でき、また動作解析の際にトレースできる信号の数も増やすことを可能とする。

【構成】中央処理装置 1 の動作に関わる異常が発生した場合は中央処理装置 1 に接続されるアドレスバス 2、制御バス 3、データバス 4 の状態を常時サンプルするデータサンプラ 5 のトレースメモリ 6 における状態サンプル動作を停止して異常発生時点の各状態を保全し、中央処理装置 1 に接続されるアドレスバス 2、データバス 4 がアドレスレジスタ 9 やデータレジスタ 10 に設定される特定の状態になった場合はアドレス比較器 11 およびデータ比較器 12 を通じてこれを検出し外部にアドレストリガ出力 13、データトリガ出力 14 として出力することにより外部における動作解析を起動する。

## 一 實施例



## 【特許請求の範囲】

【請求項1】 中央処理手段の動作に関わる異常を検出する異常検出手段と、前記中央処理手段に接続されるアドレスバス、データバス、制御バスの少なくとも一個の状態を常時サンプルし前記異常検出手段の異常検出出力に基づいてサンプル動作を停止するデータサンプラー手段と、前記中央処理手段の動作に関わる特定の状態を検出して外部にトリガ信号として出力する状態判定手段と、を備えることを特徴とする情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は情報処理装置に係り、特にマイクロコンピュータを備える構成においてその開発時のデバッグや障害発生時の解析を行なうに好適な情報処理装置に関する。

## 【0002】

【従来の技術】 図2は従来の情報処理装置の概略構成図であり、特にデバッグや障害解析時の接続状態を例示するものである。図において、23は情報処理装置本体、21は通常は情報処理装置本体23の図示しないカードスロットに装着される回路基板、22は回路基板21の代わりに情報処理装置本体23の図示しないカードスロットに装着され、その端部のカードスロットに回路基板21を装着するエクステンションカード基板、26は回路基板21内の回路部分の論理動作をトレースするためのロジックステートアナライザ、25はプロープケーブル27を介してロジックステートアナライザ26に接続され複数のプロープ24を備えるポッドである。ちなみに、プロープ24は回路基板21内の回路の各部に接続される。

【0003】 以上述べたような構成において、次にその動作を説明する。

【0004】 通常、回路基板21は情報処理装置本体23のカードスロットに装着され、情報処理装置としての動作を行なうように設定されている。ところが、情報処理装置の開発途中や運用中に、その動作に異常をきたした場合等は例えば回路基板21上の回路の動作をロジックステートアナライザ26を用いてトレースすることになる。ところが、回路基板21を情報処理装置本体23に装着したままではプロープ24を接続できないので、回路基板21と情報処理装置本体23のカードスロットの間にエクステンションカード基板22を介在させ、電気的な接続状態を変えずに回路基板21を情報処理装置本体23から引き出した状態とする。

【0005】 このような状態でロジックステートアナライザ26からプロープケーブル27ポッド25を通じて導出されるプロープ24を回路基板21内のトレースしたいポイントに接続する。

【0006】 次に、ロジックステートアナライザ26においてプロープ24を接続されるポイントのトレースの

トリガ条件を設定する。そして、情報処理装置本体23を動作させプロープ24を接続したポイントの状態がトリガ条件に一致した時にその前後の信号の変化をトレースデータとして捕らえ、記録または表示する。

【0007】 ちなみに、一般的にロジックステートアナライザ26でトレースできるチャンネル数は16から32本である。

## 【0008】

【発明が解決しようとする課題】 従来の情報処理装置は以上のように構成されているので、デバッグまたは障害解析のためにロジックステートアナライザ26により回路基板21を含む情報処理装置本体23の動作をトレースするには、プロープ24をトレース対象となる情報処理装置本体23の回路基板21に取り付ける必要があるが、そのためには回路基板21をエクステンションカード基板22を用いて情報処理装置本体23内部から外部に引き出すことが必要であり、手数を要するという問題点がある。また、回路配置も実際の構成と異なってくるので、回路実装に起因するタイミングやノイズに関わる不具合については実回路と条件が異なり正確な動作のトレースができないという問題もある。さらに、プロープ24を取り付けてから情報処理装置本体23の動作の不具合の発生を待つ必要があり、再現性の低い不具合に関してはその解析に非常に手間を要するという問題もある。加えて、プロープ24の数は16～32本程度しか使えないので、アドレスバスやデータバスに接続するとその他のトレースすべき信号本数が大きく制限されてしまうという問題点もある。

【0009】 これに対して、装置本体の内部にトレーサや状態判別回路を設置して特定の目的を持って動作解析を行なう情報処理装置は知られているが、汎用の障害解析に適用できず、外部に接続されるロジックステートアナライザによる詳細な動作解析の場合まで想定した構成とはなっていなかった。

【0010】 この発明は上記のような問題点を解消するためになされたもので、回路動作のトレースのためにその構成を変える必要性をなくし、時々しか発生しないような再現性の低い動作不良についてもその発生直前のデータを保全でき、またトレースできる信号の数も増やすことが可能な情報処理装置を提供することを目的とする。

## 【0011】

【課題を解決するための手段】 上記目的を達成するために、この発明は、中央処理手段の動作に関わる異常を検出する異常検出手段と、中央処理手段に接続されるアドレスバス、データバス、制御バスの少なくとも一個の状態を常時サンプルし異常検出手段の異常検出出力に基づいてサンプル動作を停止するデータサンプラー手段と、中央処理手段に接続されるアドレスバス、データバス、制御バスの少なくとも一個における特定の状態を検出し

て外部にトリガ信号として出力する状態判定手段と、を備える情報処理装置を提供するものである。

【0012】

【作用】上記手段において、この発明の情報処理装置は、異常検出手段により中央処理手段の動作に関わる異常を検出した場合は、中央処理手段に接続されるアドレスバス、データバス、制御バスの少なくとも一個の状態を常時サンプルするデータサンプラー手段におけるサンプル動作を停止して異常発生時点の状態を保全し、一方、中央処理手段に接続されるアドレスバス、データバス、制御バスの少なくとも一個の動作に関わる特定の状態が発生した場合は状態判定手段においてこれを検出して外部にトリガ信号として出力することにより外部における動作解析を起動する。

【0013】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

【0014】図1はこの発明の一実施例に係る情報処理装置のブロック図である。図において、1は中央処理装置、2は中央処理装置1から導出されるアドレスバス、3は中央処理装置1から導出される制御バス、4は中央処理装置1から導出されるデータバス、5はアドレスバス2、制御バス3、データバス4の各バス上のデータをサンプルしてトレースメモリ6に蓄えるデータサンプラー、8はシリアルデータ通信線7を通じてデータサンプラー5から送られてくるトレースメモリ6の情報をモニタするデータ端末装置、9はトレースしたいアドレスポイントを指定するためのアドレスレジスタ、10はトレースしたいデータポイントを指定するためのデータレジスタ、11はアドレスバス2のアドレスとアドレスレジスタ9に設定されるアドレスを比較して両者が一致した時にアドレストリガ出力13を出力するアドレス比較器、12はデータバス4のデータとデータレジスタ10に設定されるデータを比較して両者が一致した時にデータトリガ出力14を出力するデータ比較器である。

【0015】以上述べたような構成において、次にその動作を説明する。

【0016】データサンプラー5は中央処理装置1に接続されているアドレスバス2、制御バス3、データバス4の状態を常時サンプルしてトレースメモリ6に格納して行く。サンプルデータの大きさがトレースメモリ6の大きさを越えた場合は順次古いデータの上に新しいデータが上書きされる。中央処理装置1の異常が検出されるとデータサンプラー5はサンプルを停止する。

【0017】ちなみに、異常の検出は図示しない異常検出手段、例えばウォッチドッグタイマーにより行なわれる。これは、予めウォッチドッグタイマーに対して一定時間内毎にアクセスするように中央処理装置1にプログラムしておき、中央処理装置1が一定時間内毎にウォッチドッグタイマーにアクセスする状態を正常とし、一

定時間内のアクセスがない場合にこれを異常と見なしてウォッチドッグタイマーから異常信号を出力し、これによりデータサンプラー5によるトレースメモリ6への各バスの状態の取り込みを停止させるものである。なお、このウォッチドッグタイマーの機能をデータサンプラー5に持たせるようにしてもよく、一定の時間内毎に中央処理装置1からデータサンプラー5の特定のポートにアクセスする状態を正常動作と見なし、一定時間以上のアクセスがない場合を異常として、これをトリガとしてデータサンプラー5におけるトレースメモリ6への各バスの状態の取り込みを停止するようにする。

【0018】なお、アドレスバス2、制御バス3、データバス4の各状態のサンプルはトレースメモリ6を有効に使うために、1バスサイクルにつき1回サンプルする方法と一定のクロックでサンプルする方法があるが、これは中央処理装置1の動作に先立ってデータサンプラー5において任意に設定可能である。

【0019】なお、トレースメモリ6に記録される各バスの状態はシリアルデータ通信線7を通じてデータ端末装置8上でモニタすることができる。したがって、中央処理装置1の動作に異常が発生した場合、データ端末装置8により異常が発生する時点の前後のアドレスバス2、制御バス3、データバス4の状態をバスサイクル毎または一定のクロック毎の変化としてモニタすることにより異常の解析を行なうことができる。

【0020】なお、中央処理装置1の動作に伴い、アドレスバス2がアドレスレジスタ9に設定されたアドレスになった時はアドレス比較器11でこれを検出してアドレストリガ出力13を出力し、データバス4がデータレジスタ10に設定されたデータになった時はデータ比較器12でこれを検出してデータトリガ出力14を出力する。したがって、アドレストリガ出力13またはデータトリガ出力14をロジックステートアナライザに対するトリガ信号として用いることにより、外部に接続したロジックステートアナライザにより異常解析をより詳細に行なう場合に、トリガ条件を得るためにアドレスバス2やデータバス4にたくさんのプローブを接続する必要があるないので、残りのプローブを必要な他のサンプルポイントに数多く割り当てることができるので、プローブのつなぎ変えの回数を低減することが可能であり、効率的な異常解析を実施することができる。

【0021】なお、上記実施例では、データサンプラー5によりアドレスバス2、データバス4の状態をサンプルする構成を例示したが、この発明の実施はこれに限定されるものではなく、入出力用のパラレルポートやシリアルポート、他の信号線群の状態をサンプルするようにしてもよく同様の効果を得ることができるものである。

【0022】また、上記実施例では外部にアドレストリガ出力13やデータトリガ出力14を出力する構成を例示したが、制御バス3の特定の状態をトリガとして出力

するように構成しても、またその他の信号の状態の組み合わせをトリガとして出力するような構成としてもよい。

【0023】また、異常検出も中央処理装置1とウォッチドッグタイマーの組み合わせによる検出に限らず、特定の信号線に信号が表われた場合や特定の信号の組み合わせに基づき異常検出を行なうような構成としてもよく、特定の異常状態の検出を行なう場合に効果的である。

【0024】

【発明の効果】以上のように、この発明によれば、装置内部にトレースメモリを備えるデータサンプラーを設け、異常発生時には異常検出時点の前後における装置内部の状態をデータサンプラーに保全することにより、装置の構成を変えることなく異常発生時の装置内部の各部の状態をトレースすることが可能となり、再現性の低い異常の発見と解析も比較的簡単に実施可能となり、また詳細な解析のために外部にロジックステートアナライザを接続した場合もトリガ条件を少ないプローブで得ることができるので、限られたプローブでより数多くの信号

【図面の簡単な説明】

【図1】この発明の一実施例に係る情報処理装置のプロ

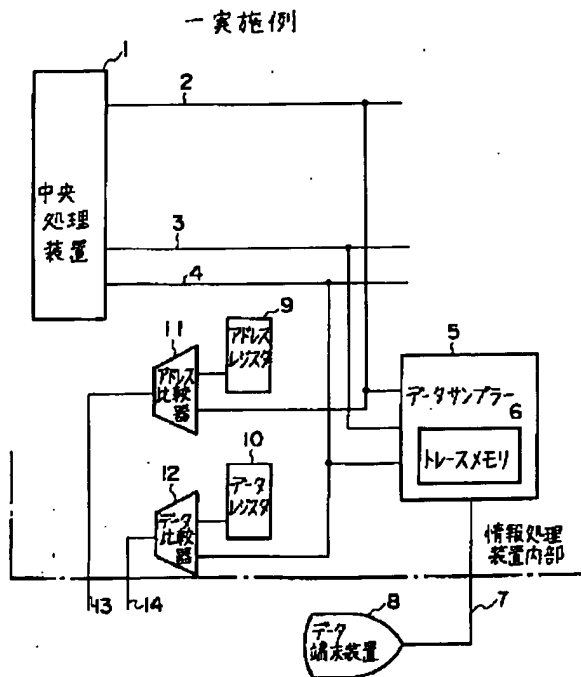
ック図である。

【図2】従来の情報処理装置の概略構成図である。

【符号の説明】

- |    |               |
|----|---------------|
| 1  | 中央処理装置        |
| 2  | アドレスバス        |
| 3  | 制御バス          |
| 4  | データバス         |
| 5  | データサンプラー      |
| 6  | トレースメモリ       |
| 10 | 7 シリアルデータ通信線  |
| 8  | データ端末装置       |
| 9  | アドレスレジスタ      |
| 10 | データレジスタ       |
| 11 | アドレス比較器       |
| 12 | データ比較器        |
| 13 | アドレストリガ出力     |
| 14 | データトリガ出力      |
| 21 | 回路基板          |
| 22 | エクステンションカード基板 |
| 20 | 23 情報処理装置本体   |
| 24 | プローブ          |
| 25 | ポッド           |
| 26 | ロジックステートアナライザ |
| 27 | プローブケーブル      |

【図1】



【図2】

